

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**Patent**

<b>Patent No</b>	507187	<b>Publication Date</b>	2002/10/21
<b>Application No</b>	088120527	<b>Filing Date</b>	1999/11/24
<b>Title</b>	Analog buffer circuit and liquid crystal display device		
<b>IPC</b>	G09G3/36		

**Author / Inventor**

YAMAMOTO, AKIRA (JP) ;

**Applicant**

<b>Name</b>	<b>Country</b>	<b>Individual/Company</b>
FUJITSU LTD.	JP	Company

**Priority Data**

<b>Country</b>	<b>Application No</b>	<b>Priority Date</b>
JP	19980369333	1998/12/25

**Patent Abstract**

Disclosed is an analog buffer circuit which can compensate for variances in the threshold voltages of thin film transistors and can quickly charge a data bus capacitor, and a liquid crystal display device employing the same. According to the present invention, an analog buffer circuit, which samples an input voltage and holds and outputs the thus obtained sample of the input voltage, comprises: an input terminal 20, for receiving the input voltage; an output terminal 21, for outputting an output voltage; a first transistor T7, T10, the source of which is connected to a first power source VDD, GND; and a first capacitor C1 C2, which is connected at one end to the gate of the first transistor. During a sampling period, the input terminal is connected to the other end of the first capacitor and the drain of the first transistor is connected to the one end of the first capacitor, to charge the first capacitor in accordance with the input voltage, during a holding period, the first capacitor holds the charged voltage, and during an output period, the output terminal is charged or discharged via the first transistor, by feeding back the output terminal to the one end of the first capacitor.

申請日期	88. 11. 24
案 號	88120527
類 別	G09G 3/36

A4  
C4

507187

(以上各欄由本局填註)

# 發明專利說明書

一、發明 名稱	中 文	類比緩衝器電路與液晶顯示器裝置
	英 文	ANALOG BUFFER CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE
二、發明 人	姓 名	山本彰
	國 籍	日本
	住、居所	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

裝 訂 線

## 四、中文發明摘要(發明之名稱： 類比緩衝器電路與液晶顯示器裝置 )

本發明係關於一種類比緩衝器電路，其可補償薄膜電晶體中臨限電壓之變化並且可快速地將一種資料匯流排電容器充電，以及關於採用它之一組液晶顯示器裝置。依據本發明，一種類比緩衝器電路，其取樣並且保持一組輸入電壓並且輸出該輸入電壓，其包含：一組輸入端點20，用以接收該輸入電壓；一組輸出端點21，用以輸出一組輸出電壓，一組第一電晶體T7，T10，其源極連接到一組第一電源VDD，GND；以及一組第一電容器C1，C2，在其一組末端連接到該第一電晶體之閘極。其中，在一取樣週期時，該輸入端點被連接到該第一電容器之另一組末端並且該第一電晶體之吸極被連接到該第一電容器之該一組末端，以依據該輸入電壓將該第一電容器充電，在一組保持週期時，該第一電容器保持被充電電壓，並且在一組輸出週期時，利用回饋該輸出端點至該第一電容器之該一組末端，該輸出端點經由第一電晶體而被充電或被放電。

## 英文發明摘要(發明之名稱： ANALOG BUFFER CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE )

Disclosed is an analog buffer circuit which can compensate for variances in the threshold voltages of thin film transistors and can quickly charge a data bus capacitor, and a liquid crystal display device employing the same. According to the present invention, an analog buffer circuit, which samples an input voltage and holds and outputs the thus obtained sample of the input voltage, comprises: an input terminal 20, for receiving the input voltage; an output terminal 21, for outputting an output voltage; a first transistor T7, T10, the source of which is connected to a first power source VDD, GND; and a first capacitor C1, C2, which is connected at one end to the gate of the first transistor. During a sampling period, the input terminal is connected to the other end of the first capacitor and the drain of the first transistor is connected to the one end of the first capacitor, to charge the first capacitor in accordance with the input voltage, during a holding period, the first capacitor holds the charged voltage, and during an output period, the output terminal is charged or discharged via the first transistor, by feeding back the output terminal to the one end of the first capacitor.

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6  
B6

本案已向：

日本 國 ( 地區 ) 申請專利，申請日期： 案號： ☒ 有 ☐ 無主張優先權  
1998,12,25 特願平10-369333

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明 ( | )

本發明係關於一種液晶顯示器裝置與其驅動電路，並且尤其是，關於與一種使用薄膜電晶體(TFT)與像素一起形成在一玻璃基片上面之類比緩衝器電路。

### 相關之技術

第14圖是代表一種習見的液晶裝置之一小片段的圖形。在一種大液晶顯示器裝置中，大約3000組之資料匯流排30和800組之閘匯流排31以一矩陣形狀被配置；但是，為提供一種簡便配置，在第14圖中僅展示一種被減低數目之資料匯流排30以及閘匯流排31。在該圖中，對應至一組像素之液晶記憶胞33和電容器34，經由切換元件32而被連接至被置放在相鄰之資料匯流排30和閘匯流排31之分別的相交處，並且類比緩衝器電路26，沿著被供應之一組視訊信號SIN而被置放在資料匯流排30和顯示信號線25之間。

反應於一組資料移位暫存器35所供應之一組掃描信號，類比緩衝器電路26將視訊信號SIN寫入至資料匯流排30，由其左方開始而朝向右方，並且一組閘移位暫存器36供應一組掃描信號至閘匯流排31，由其頂部開始而朝向底部，使切換元件32導通。當在各水平掃描時，信號SIN經由資料匯流排30而被供應至液晶記憶胞33。當閘移位暫存器36驅動一組閘匯流排31時，類比緩衝器26亦被資料移位暫存器35掃描，並且該視訊信號SIN可被供應至所有的液晶記憶胞33。

因為在一個大的液晶顯示器裝置中，當在一組水平掃描之週期時，視訊信號SIN被供應至大約3000組之資料匯流

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( > )

排 30，對於各資料匯流排 30 而言僅有一小段短的掃瞄時間是可用的。所以，該類比緩衝器電路 26 不可在如此短的掃瞄時間內直接地驅動具有大約 50pF 之容量的資料匯流排 30，因此包含一組取樣電路之類比緩衝器電路 26，在短的掃瞄時間內取樣並且保持視訊 SIN，並且當在足夠之電荷可供應至資料匯流排 30 之期間時，視訊信號 SIN 被供應至資料匯流排。

在一種液晶顯示器裝置中，其中在一玻璃基片上面一組驅動電路被整體地形成，類比緩衝器 26 使用與液晶面板相同之薄膜電晶體而被形成於基片上面。但是，由於薄膜電晶體之臨限電壓之變化，一種偏移可能發生於使用薄膜電晶體之取樣電路的輸出。為了輸出被接收之視訊信號 SIN 而不發生偏移，消除薄膜電晶體臨限電壓之差量的一種類比緩衝器電路 26 被揭露於，例如，日本未審視專利公報編號 Hei 9-230828 中。

第 15 圖是展示習見的類比緩衝器電路 26 之一種分解電路圖，其被揭露於日本未審視專利公報編號 Hei 9-230828 中。在類比緩衝器電路 26 中，一末端被接地的一組電容器 9a 被連接到一組源極追隨器 8a 之閘極端點，並且一組切換元件 6a 被置放在閘極端點和吸極端點之間。一組切換元件 7a 被置放在源極追隨器 8a 之吸極端點和一組電源 VDD 之間，並且一組切換元件 5a 被置放在閘極端點和電源 VDD 之間。源極追隨器 8a 之源極端點被連接到節點 N1。

相似地，一末端被接地的一組電容器 9b 被連接到一組

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( > )

源極追隨器 8b 之閘極端點，並且一組切換元件 6b 被置放在閘極端點和吸極端點之間。一組切換元件 7b 被置放在源極追隨器 8a 之吸極端點和一組電源接地 GND 之間，並且一組切換元件 5b 被置放在閘極端點和電源接地 GND 之間。源極追隨器 8b 之源極端點被連接到節點 N1。

進一步地，一組切換元件 3 被置放在節點 N1 和一顯示信號線 25 之間，並且一組切換元件 10 被置放在節點 N1 和一組資料匯流排 30 之間。一組重置信號  $\Phi R$  被供應至切換元件 5b，並且一組被反相之重置信號  $\Phi R/$  被供應至切換元件 8a。一組控制信號  $\Phi 1$  被供應至切換元件 6b，並且一組被反相控制信號  $\Phi 1/$  被供應至切換元件 6a。一組控制信號  $\Phi 2$  被供應至切換元件 7b，並且一組被反相控制信號  $\Phi 2/$  被供應至切換元件 7a。

如上所述，類比緩衝器電路 26 是垂直地對稱，對於資料匯流排 30 而言具有正的充電電容是上方源極追隨器 8a 之一特點，並且負的充電電容是下方源極追隨器 8b 之一特點。在閘極具有圓圈標誌之電晶體是 P 通道電晶體，而不具有圓圈標誌之電晶體是 N 通道電晶體。

第 16A 至 16C 圖展示習見的類比緩衝器電路 26 之操作圖形。電容器 9a 和 9b 之重置狀態被展示在第 16A 圖中。當接收重置信號  $\Phi R/$  和  $\Phi R$  時，切換元件 5a 和 5b 被形成導通，電荷被電源 VDD 置放於電容器 9a 上面，並且電容器 9b 被接地而其電荷被減低至零。

第 16B 圖中展示當從顯示信號線 25 接收之驅動信號電壓



## 五、發明說明(ψ)

VIN被取樣時的狀態。由於接收控制信號 $\Phi 1$ ，切換元件3和6b被形成導通，並且由於接收被反相控制信號 $\Phi 1'$ ，切換元件6a被形成導通。接著，由於依據被接收之視訊信號電壓VIN的施加位準，一組臨限電壓或較高的電壓被施加在8a和8b之閘極和源極之間，因此源極追隨器8a和8b被形成導通。

因此，當被接收之視訊信號電壓VIN之位準是低位時，則在第16A圖中，接收來自電源VDD之電荷的電容器9a，沿著第16B圖中箭頭60指示的線路而被放電；因而當位準是高位時，電荷被供應至電容器9b，其在第16A圖中攜帶零電荷，沿著第16B圖中箭頭61指示的線路。當電壓被電容器9a保持而到達 $(VIN+V_{thn})$ 時，則電容器9a之放電被終止，並且當電壓被電容器9b保持而到達 $(VIN-V_{thp})$ 時，則電容器9b之充電被終止。應該注意到， $V_{thn}$ 是N通道源極追隨器8a之臨限電壓，並且 $V_{thp}$ 是P通道源極追隨器8b之臨限電壓。

展示在第16C圖之狀態中，資料匯流排30被一組施加之取樣電壓所充電。由於控制信號 $\Phi 2$ 的接收，切換元件10和7b被導通，並且由於被反相控制信號 $\Phi 2'$ 的接收，切換元件7a被形成導通。因此，在節點N1和在資料匯流排30上面之電壓值是等於從電容器9a充電電壓，減去源極追隨器8a之臨限電壓 $V_{thn}$ 而得到，或利用將源極追隨器8b之臨限電壓 $V_{thn}$ 加至等於信號電壓VIN之電容器9b充電電壓而得到之電壓值。

此時，當資料匯流排30之電位是低於信號電壓VIN時，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(5)

則源極追隨器 8a 被形成導通，因而提昇資料匯流排 30 之電位。當資料匯流排 30 之電位較高於信號電壓  $V_{IN}$  時，則源極追隨器 8b 被形成導通因而降低資料匯流排 30 之電位。結果，輸出至資料匯流排 30 之一組信號電壓  $V_{IN}$  不受源極追隨器 8a 或 8b 之臨限電壓的影響。

如上所述，當源極追隨器 8a 和 8b 之臨限電壓  $V_{thn}$  和  $V_{thp}$  被消除時，在習見的類比緩衝器電路 26 中被取樣之電壓  $(V_{IN} + V_{thn})$  和  $(V_{IN} - V_{thp})$  則被輸出至電容器 9a 和 9b。但是，因為源極追隨器 8a 和 8b 之放大電壓等於或小於 1，故資料匯流排 30 電容器之充電逐漸地被達成，並且因為輸出電壓接近信號電壓  $V_{IN}$  之位準，故輸出電阻成為非常地高，而使得輸出電壓位準在一短週期內不能到達信號電壓  $V_{IN}$ 。

### 本發明摘要

因此，本發明之一目的在提供一種類比緩衝器電路，其可補償薄膜電晶體中臨限電壓之變化並且可快速地將一種資料匯流排電容器充電，以及採用該類比緩衝器電路之一組液晶顯示器裝置。

為達成上述目的，依據本發明一組論點，提供一種類比緩衝器電路，其取樣並且保持一組輸入電壓並且輸出該輸入電壓，其包含：

- 一組輸入端點，用以接收該輸入電壓；
- 一組輸出端點，用以輸出一組輸出電壓，
- 一組第一電晶體，其源極連接到一組第一電源；以及
- 一組第一電容器，在其一組末端連接到該第一電晶體

## 五、發明說明(6)

之閘極，

其中，在一取樣週期時，該輸入端點被連接到該第一電容器之另一組末端並且該第一電晶體之吸極被連接到該第一電容器之該一組末端，以依據該輸入電壓將該第一電容器充電，而使得在該第一電源電壓以及在該輸入電壓和該第一電晶體之一組臨限電壓之間差量所得到電壓之間的差量被儲存在該第一電容器中。

依據本發明，因為被儲存在第一電容器中之電荷是在第一電源提供之電壓以及在該輸入電壓和該第一電晶體之一組臨限電壓之間差量所得到電壓之間的差量，當一組電壓被輸出時，該第一電晶體可被採用以保持該輸入電壓，而可抵消臨限電壓。

第1A至1D圖是用以說明依據本發明之一種類比緩衝器電路原理之圖形：

第2圖是展示依據本發明第一實施例之一種類比緩衝器電路之電路圖：

第3圖是展示依據本發明第一實施例之一種液晶顯示器裝置之配置圖形：

第4圖是依據本發明第一實施例之一種類比緩衝器電路的時序圖：

第5圖是用以說明依據本發明第一實施例之一種類比緩衝器電路之啓始圖形：

第6圖是用以說明依據本發明第一實施例之一種類比緩衝器電路達成之取樣的圖形：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

第7圖是用以說明依據本發明第一實施例之一種類比緩衝器電路達成之資料匯流排充電的圖形；

第8圖是展示依據本發明第二實施例之一種液晶顯示器裝置之配置圖形；

第9圖是展示依據本發明第二實施例之一種液晶顯示器裝置的時序圖；

第10圖是展示依據本發明第三實施例之一種類比緩衝器電路的電路圖；

第11圖是展示依據本發明第四實施例之一種類比緩衝器電路的電路圖；

第12圖是展示依據本發明第五實施例之一種類比緩衝器電路的電路圖；

第13圖是依據本發明第五實施例之一種類比緩衝器電路的時序圖；

第14圖是展示習見的液晶顯示器裝置之配置圖形；

第15圖是展示習見的類比緩衝器電路的電路圖；以及

第16A至16C圖是用以說明習見的類比緩衝器電路之操作的圖形。

較佳實施例之詳細說明

本發明之較佳實施例接著將參看附圖而被加以說明。但是，本發明之技術範疇並不受這些實施例所限制。

第1A至1D圖形是說明依據本發明之一種類比緩衝器電路之原理的圖形。將參看第1A至1D圖說明該類比緩衝器電路之原理，其輸出一組輸入電壓VIN至一組資料匯流排而不

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(8)

受電晶體之臨限電壓之影響。第1A圖是展示該類比緩衝器電路中取樣電容器C1和C2在啓始狀態之圖形。在啓始狀態中，串列連接的電容器C1和C2被短路，並且被放電以便設定端點電壓至零。

接著，取樣電容器C1和C2之一組輸入電壓VIN之樣本被得到。第1B圖是展示當輸入電壓VIN被取樣時之一種狀態圖形。在取樣程序時，輸入端點20被連接到在電容器C1和C2之間的連接點N10，p-型電晶體T7之閘極端點被連接到吸極端點，並且n-型電晶體T10之閘極端點被連接到吸極端點。

p-型電晶體T7之源極端點被連接到一組電源VDD，並且閘極端點被連接到另一組電容器C1之末端。n-型電晶體T10之源極端點被接地，並且閘極端點被連接到電容器C2之另一組末端。

利用從一組電源電壓VDD和輸入電壓VIN間之差量所得之電壓減去p-型電晶體T7之臨限電壓 $V_{thp}$ ，而得到被儲存在電容器C1中等於電壓 $(VDD-VIN-V_{thp})$ 之電荷。並且利用從接地電壓和輸入電壓VIN間之差量所得之電壓減去n-型電晶體T10之臨限電壓 $V_{thn}$ 而得到被儲存在電容器C2上面等於電壓 $(VIN-V_{thn})$ 之電荷。當電容器C1和C2之充電被完成時，則跨越電晶體T7和T10之電流流動是零。這狀況被定義為正常狀態。在正常狀態中，電容器C1儲存電壓 $(VDD-VIN-V_{thp})$ ，並且電容器C2儲存電壓 $(VIN-V_{thn})$ 。

接著，如第1(C)圖所展示，在電容器C1和C2之間之連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

接點 N10 從輸入端點 20 被中斷，電晶體 T7 和 T10 之吸極端點分別地被連接到節點 N11 和 N10，並且節點 N11 被連接到一個輸出端點 21 和一組資料匯流排 22 上。如果輸出電壓 VOUT 等於輸入電壓 VIN 時，則電晶體 T7 和 T10 之閘電位是相同於在正常狀態中，並且輸出電壓 VOUT 不變化。

若輸出電壓 VOUT 較高於輸入電壓 VIN 時，則電晶體 T10 之閘電位因電容器 C2 之電容性耦合而提昇，並且電流流經電晶體 T10 因而減低輸出電壓 VOUT。當輸出電壓 VOUT 等於電壓 VIN 時，其利用將電晶體 T10 之臨限電壓  $V_{thn}$  加至電容器 C2 之被充電電壓  $(VIN - V_{thn})$  而得到，則電晶體 T10 被切斷並且輸出電壓之減少被暫停。因而，如果輸出電壓 VOUT 是低於輸入電壓 VIN，則電晶體 T7 之閘電位因電容器 C1 之電容性耦合而下降，並且經由電晶體 T7 流動之電流因而提昇輸出電壓 VOUT。在這情況中，當輸出電壓 VOUT 到達電壓 VIN 時，其比利用從一組電源電壓 VDD 減去電晶體 T7 之臨限電壓  $V_{thp}$  而得到的電壓  $(VDD - V_{thp})$  較低電容器 C1 之被充電電壓  $(VDD - VIN - V_{thp})$ ，電晶體 T7 被切斷，並且輸出電壓 VOUT 之上升被暫停。結果，輸出電壓 VOUT 等於輸入電壓 VIN，並且輸出電壓 VOUT 不受電晶體 T7 或 T10 之臨限電壓  $V_{thp}$  或  $V_{thn}$  之影響。此外，電晶體 T7 和 T10，被稱為源極被連接到電源之源極接地電晶體，其比習見的源極追隨器型式電晶體具有較大的驅動能力。

在第 1C 圖中展示一種負回饋放大器，其中利用電晶體 T7 和 T10 以及電容器 C1 和 C2 而構成之反相放大器的輸出 N11

## 五、發明說明(10)

被回饋至輸入N10。因為利用薄膜電晶體T7和T10構成之反相放大器的放大功率大約是100，負回饋放大器之輸出電阻大約是電晶體T7和T10之輸出電阻的1/100。因此，該回饋放大器可輸出一組大電流至資料匯流排22，並且可快速地将資料匯流排電容器Cd充電。這表示電晶體T7和T10之尺寸可被減低至大約他們所習見尺寸之1/100，而輸出電流是相同於習見的類比緩衝器電路之電流。

為了裝載等於輸出電壓VOUT之電荷至資料匯流排電容器Cd上，如展示之第1D圖，電晶體T7和T10之吸極端點可被連接到一組輸出緩衝器電路23之輸入端點，並且輸出緩衝器電路23之輸出可被饋送回至電容器C1和C2之間的連接點N10。

在這情況中，電晶體T7和T10不必直接地饋送電荷至資料匯流排電容器Cd，其具有一種數十pF的大電容，但必須只饋送電荷至在輸出緩衝器電路23中0.1pF之輸入電容器，因此電晶體T7和T10之尺寸可進一步地被減小。

如上所述，本發明中之這類比緩衝器電路可輸出該輸入電壓而不受電晶體臨限電壓之影響，並且可快速地将資料匯流排電容器充電。此外，利用第1D圖中展示之配置，使得輸出電晶體之尺寸可被減低。進一步地，當本發明這類比緩衝器電路被應用於一種液晶顯示器裝置時，被提供在具有大顯示區域之液晶顯示器裝置中之大電容資料匯流排電容器可快速地並且精確地被充電。

第2圖是展示依據本發明第一實施例之一種類比緩衝器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (11)

電路 26 的電路圖。第 3 圖是展示依據本發明第一實施例之一種具有整體地形成驅動電路之液晶顯示器裝置之配置圖形。第 4 圖是使用於類比緩衝器電路 26 之一組控制時序的圖形。並且第 5、6 和 7 圖是用以說明類比緩衝器電路 26 之操作的圖形。

如第 2 圖中所展示，在這實施例之類比緩衝器電路 26 中，一組 P 通道電晶體 T7 之源極端點被連接到一組電源 VDD，一組切換元件 15 被提供在吸極端點和閘極端點之間，並且閘極端點被連接到一組電容器 C1 之一組末端，其另一組末端被連接到節點 N10。在電晶體 T7 之閘極端點和一組參考電壓源 Vref 之間提供一組切換元件 13，並且一組切換元件 T3 被提供在吸極端點和節點 N11 之間。

相似地，一組 N 通道電晶體 T10 之源極端點被接地，一組切換元件 T6 被提供在吸極端點和閘極端點之間，並且閘極端點被連接到一組電容器 C2 之一組末端並且其另一組末端被連接到節點 N10。一組切換元件 T4 被提供在電晶體 T10 之閘極端點和參考電壓源 Vref 之間，並且一組切換元件 T9 被提供在吸極端點和節點 N11 之間。

此外，節點 N10 被連接到節點 N11，其經由一組切換元件 T11，而被連接至一組輸出端點 21；一組切換元件 T2 被提供在節點 N10 和參考電壓源 Vref 之間；並且一組切換元件 T1 被提供在一個輸入端點 20 和節點 N10 之間。

第 3 圖是展示依據本發明第一實施例之一種液晶顯示器裝置之配置圖形。在這液晶顯示器裝置中，大約 3000 組之

(請先閱讀背面之注意事項再填寫本頁)

訂



## 五、發明說明 (17)

資料匯流排 30 以及大約 800 組之閘匯流排 31 以一種矩陣方式被配置，並且一起對應至一組像素之液晶胞 33 和電容器 34，經由一組切換元件 32，而被置放在彼此跨越之資料匯流排 30 和閘匯流排 31 之各位置上。並且在各資料匯流排 30 和顯示信號線 25，視訊信號 SIN 沿之被供應，之間置放一組類比緩衝器電路 26，如第 2 圖中展示之第一實施例。

當從資料移位暫存器 35 接收一組掃瞄信號時，類比緩衝器電路 26 由其左方開始寫入視訊信號 SIN 至資料匯流排，並且一組閘移位暫存器 36 由其頂部開始供應一組掃瞄信號至閘匯流排 31，並且在各水平掃瞄時，傳輸被寫入至資料匯流排 30 之視訊信號 SIN 至液晶記憶胞 33。因為閘移位暫存器 36 之一組位準於資料移位暫存器 35 達成之各水平掃瞄時被掃瞄，故視訊信號 SIN 可被供應至所有的液晶記憶胞 33。

稍後將說明，在這實施例中之類比緩衝器電路 26 可快速地置放電荷在資料匯流排 30 上面並且可滿意地補償薄膜電晶體之臨限電壓，並且輸出電晶體之尺寸可被減小。

接著將參看第 4 圖中之時序圖以及在第 5 至 7 圖中所說明之操作圖，而說明利用類比緩衝器電路 26 而達成之操作。在第 4 圖中，(1) 代表沿著顯示信號線 25 而輸入之一組視訊信號 SIN，並且從時間  $t_0$  延伸至時間  $t_5$  之週期對應至一組水平掃瞄週期。為了防止液晶之惡化，視訊信號 SIN 具有 10V 之電壓振幅，並且在各水平掃瞄週期時，被交互地反相至正的以及至負的電壓振幅。

在第 4 圖中，(2) 代表一組水平同步信號 HSYNC。在一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(17)

週期( $t_0$ 至 $t_2$ )時，該水平同步信號HSYNC是在H位準，指示一組水平掃描週期之開始點，並且對應至一組水平回饋週期，那是程序從先前水平掃描週期即時地返回之週期。在該水平回饋週期時，在這實施例中之類比緩衝器電路26開始電容器C1和C2之取樣。

週期( $t_1$ 至 $t_2$ )，在第4圖中之一組重置信號 $\Phi R(3)$ 是在H位準，對應至一組啓始週期。在這週期時，如第5圖所展示，當重置信號 $\Phi R$ (位準H)被接收時切換元件T2和T4被導通，並且當反相重置信號 $\Phi R/$ (位準L)被接收時切換元件13被導通。結果，電容器C1和C2經由參考電壓源Vref而被短路，並且電流在被箭頭41和42指示的方向流動而將電容器C1和C2放電。同時也可以將電容器C1和C2的端點直接地短路而被放電，如第1A圖中所展示。

接著，視訊信號SIN被取樣而供用於各類比緩衝器電路26之電容器C1和C2。在第4圖中，(4)代表一種取樣控制信號 $\Phi 1$ ，其將視訊信號SIN取樣而寫入至第n組資料匯流排30。亦即，在一週期( $t_3$ 至 $t_4$ )中，當在位準H之控制信號 $\Phi 1$ 從資料移位暫存器35被接收時，則視訊信號SIN之電壓VIN被取樣至電容器C1和C2，並且被取樣之信號在時間 $t_5$ 之後被輸出至資料匯流排30，如箭頭40所指示。

第6圖是用以說明取樣週期( $t_3$ 至 $t_4$ )的圖形。在這週期時，當控制信號 $\Phi 1$ 被接收時，切換元件T1和T6被形成導通，並且當反相控制信號 $\Phi 1/$ 被接收時，切換元件T5被形成導通。依據輸入電壓VIN之位準，在電晶體T7之閘極端點的

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(14)

電壓被電容器C1之電容性耦合所減低，並且在電晶體T10之閘極端點的電壓被電容器C2之電容性耦合所提昇。電晶體T7和T10被形成導通，並且利用箭頭43和44表示之一組電流流經過電容器C1和C2並且將之充電。如參看第1圖之說明，電容器C1接收等於電壓 $(VDD-VIN-V_{thp})$ 之電荷，並且電晶體T7之閘電位成為 $(VDD-V_{thp})$ 。相似地，電容器C2接收一種等於電壓 $(VIN-V_{thn})$ 之電荷，並且電晶體T10之閘電位成為 $V_{thn}$ 。

當到達時間 $t_4$ 時，電容器C1和C2之充電被完成並且電流停止流經過接著被設定在正常狀態之電晶體T7和T10。因為在取樣週期( $t_3$ 至 $t_4$ )時，電晶體T7和T10之吸極端點被連接到閘極端點，故吸極電壓極大地變化，分別地上升至 $VDD-V_{thp}$ 和 $V_{thn}$ 。

接著，利用施加被取樣至電容器C1和C2之電壓，電荷被置於資料匯流排30上面。在第4圖中以(5)表示之一組週期( $t_5$ 至 $t_6$ )中，在H位準之控制信號 $\Phi_2$ 對應至資料匯流排之充電週期。在資料匯流排充電週期時，如第7圖中所展示，當控制信號 $\Phi_2$ 被接收時切換元件T9和T11被形成導通，並且當一組反相控制信號 $\Phi_2$ 被接收時切換元件T8被形成導通。

如先前之說明，在資料匯流排充電週期時，電晶體T7和T10、電容器C1和C2以及切換元件T8、T9和T11構成回饋放大器。在這情況中，如果資料匯流排30之電壓 $V_{OUT}$ 等於輸入電壓 $V_{IN}$ ，則電晶體T7和T10之閘電位是在正常狀態中，並且沒事發生。

## 五、發明說明 (5)

若資料匯流排 30 之電壓  $V_{OUT}$  低於輸入電壓  $V_{IN}$ ，則電容器  $C1$  之電容性耦合降低在正常狀態下之電晶體  $T7$  的可用閘電位。因此，來自電晶體  $T7$  之電流在箭頭 45 指示的方向流動並且增加資料匯流排 30 之電壓  $V_{OUT}$ 。如參看第 1 圖之說明，當充電電流 45 被接收直至輸出電壓  $V_{OUT}$  被增加至等於電壓  $V_{IN}$  時，其為從電壓  $(V_{DD}-V_{thp})$  減去電容器  $C1$  之充電電壓  $(V_{DD}-V_{thp}-V_{IN})$  而得到，電晶體  $T7$  之充電亦被暫停。此時，電流停止流經過電晶體  $T10$ 。

若資料匯流排 30 之電壓  $V_{OUT}$  較高於輸入電壓  $V_{IN}$ ，則電容器  $C2$  之電容性耦合將電晶體  $T10$  的閘電位提昇至正常狀態可得之上。因此，一電流經由電晶體  $T10$  在箭頭 46 指示之方向流動而減低在資料匯流排 30 上面之電壓  $V_{OUT}$ 。當該輸出電壓  $V_{OUT}$  下降至等於輸入電壓  $V_{IN}$  時，則電晶體  $T10$  之放電被暫停。此時，電流停止流經過電晶體  $T7$ 。

以此方式，在資料匯流排 30 上面之電壓  $V_{OUT}$  被調整使之等於輸入電壓  $V_{IN}$ ，而不受電晶體  $T7$  和  $T10$  之臨限電壓  $V_{thp}$  和  $V_{thn}$  的影響。因此，在該液晶顯示器裝置中，其中使用薄膜電晶體技術而使類比緩衝器電路 26 與像素電晶體被整體地形成，該視訊信號  $SIN$  可被精確地輸出至資料匯流排 30。進一步地，因為充電電晶體  $T7$  和  $T10$  在他們的源極端點被接地，而使得他們的驅動能力大於那些習見的電晶體。

對於第 3 圖中展示依據第一實施例的液晶顯示器裝置，如在第 4 圖中所展示，資料匯流排充電週期 (t5 至 t6)，當控

## 五、發明說明(16)

制信號 $\Phi 2$ 是在H位準時，則其充電週期至多僅有大約一組水平掃瞄週期( $t_0$ 至 $t_5$ )之 $1/5$ 。但是，因為資料匯流排之電容性隨液晶面板增加而成為較大，最好是較長的資料匯流排充電週期被得到以便滿意地將資料匯流排電容器充電。

依據該實施例，輸入電壓可被輸出而不受電晶體之臨限電壓的影響，並且資料匯流排電容器之充電可快速地被達成。此外，輸出電晶體之尺寸可被減低，並且對於一組液晶顯示器裝置，當該實施例之類比緩衝器電路被採用在具有大顯示區域之一組液晶顯示面板中時，具有大電容之資料匯流排電容器可被快速地並且精確地充電。

第8圖是展示依據本發明第二實施例之一種液晶顯示器裝置的圖形。第一實施例之類比緩衝器電路26被垂直地連接在兩級中因而得到一個較長的資料匯流排之充電週期。在第一級中之類比緩衝器電路26，如在第一實施例中一般，接收來自顯示信號線25之視訊信號SIN，並且同時也接收來自資料移位暫存器35之控制信號 $\Phi 1(a)$ 。類比緩衝器電路26反應於控制信號 $\Phi 1(a)$ 將視訊信號SIN取樣且保持，並且輸出一組輸出信號VOUT1。在第二級中之類比緩衝器電路26，其垂直地連接到第一級，接收來自資料移位暫存器35之控制信號 $\Phi 1(b)$ ，並且將該輸出信號VOUT1取樣且保持，並且接著輸出一組輸出信號VOUT2至資料匯流排30。

第9圖是依據第二實施例之一種液晶顯示器裝置的時序圖。一組視訊信號SIN、一組水平同步信號HSYNC、一組重置信號 $\Phi R(a)$ 、控制信號 $\Phi 1(a)$ 和 $\Phi 2(a)$ 、以及在第9圖中(1)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(17)

至(6)之輸出信號  $V_{OUT1}$ ，其代表在第一級中之類比緩衝器電路 26 之操作時序，皆與在第一實施例中相同。

對於在第二級中之類比緩衝器電路 26，在第 9 圖之 (7) 中的重置信號  $\Phi R(b)$  作為一組啓始信號。該重置信號  $\Phi R(b)$  當在第一級中之類比緩衝器電路 26 的信號輸出週期 ( $t_{13}$  至  $t_{16}$ ) 之第一半週期 ( $t_{13}$  至  $t_{14}$ ) 時成為位準 H，並且取樣之電容器 C1 和 C2 被放電。

接著，在第 9 圖之 (8) 中的控制信號  $\Phi 1(b)$  當在第一級中之類比緩衝器電路 26 的信號輸出類比緩衝器電路週期 ( $t_{13}$  至  $t_{16}$ ) 之第二半週期 ( $t_{15}$  至  $t_{16}$ ) 時成為位準 H。在這週期時，在第一級中之類比緩衝器電路 26 之啓始輸出信號  $V_{OUT1}$  被取樣。

接著，在第 9 圖之 (9) 中的控制信號  $\Phi 2(b)$  成為 H 位準並且資料匯流排 30 被充電。在第二實施例中，資料匯流排電容器充電週期 ( $t_{16}$  至  $t_{21}$ ) 之長度可以大約是一組水平掃描週期 ( $t_{13}$  至  $t_{21}$ ) 之  $4/5$ 。因此，即使資料匯流排電容器之電容是大的並且需要延伸週期之時間將資料匯流排 30 電容器充電，如第 9 圖中之 (10) 所展示，輸出信號  $V_{OUT2}$  可達到滿意地接近輸入信號  $V_{IN}$  之位準。

如上所述，在第二實施例之液晶顯示器裝置中，在第一級被類比緩衝器電路 26 所取樣之輸入信號  $V_{IN}$  可被在第二級中之類比緩衝器電路 26 經由大約需要一組水平掃描週期之  $4/5$  週期所驅動之順序線而被輸出至資料匯流排 30。因此，即使當液晶面板之區域被增加並且資料匯流排電容較

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(18)

大時，資料匯流排30也可被滿意地驅動。

如上所述，在第一和第二實施例中之類比緩衝器電路可輸出該輸入電壓VIN並且將資料匯流排30充電而不受薄膜電晶體之臨限電壓的影響。但是，如在第4圖中(7)和(8)所指示，在電晶體T7和T10之吸極端點的電壓在資料匯流排30被充電之t5延伸至t6的時間週期中變化。該期間中，如果在電晶體T7和T10之閘極和吸極端點之間的電容Cgd，相對於保持電容器C1和C2之電容，是太大而不可被忽略時，則電容器C1和C2被取樣之電壓將受電容Cgd的影響，並且一組精確電壓無法被取得且不能被保持在C1和C2中。亦即，將發生一組 $\Delta V_c = C_{gd} / (C_{gd} + C_h) \times V_{ds}$ 之浮動電壓，該處Ch指示電容器C1和C2之電容，並且Vds指示在吸極端點中電壓之改變。

閘極-吸極端點之電容Cgd隨著電晶體T7和T10尺寸之減低而降低。但是，對於資料匯流排30之改變能力同時也降低，並且充電週期被延伸。

接著將說明依據第三實施例之一種類比緩衝器電路，其解決上述之問題並且即使閘極-吸極端點電容Cgd被減低也可快速地將資料匯流排30充電。在第三實施例中之類比緩衝器電路中，一組輸出緩衝器電路被提供在一組輸出電晶體之吸極端點和資料匯流排之間，並且輸出緩衝器電路輸出之電壓被回饋至在取樣電容器之間的一個連接點。

第10圖是展示依據第三實施例之一種類比緩衝器電路26的電路圖。下面將說明與第一實施例中不同部份之配

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(19)

置。在第三實施例之類比緩衝器電路26中，一組輸出緩衝器電路23被提供在切換元件T8和T9以及一組輸出端點VOUT之間，並且依據一組控制信號 $\Phi 2$ 所控制的切換元件T15，被提供在輸出緩衝器電路23之輸出節點N20以及電容器C1和C2間之一個連接點N10之間。

在輸出緩衝器電路23中，一組N-通道電晶體T13和一組P-通道電晶體T14是以推-拉式被連接在電源VDD和接地GND之間，並且一組電晶體T12被二極體式連接在電晶體T13和T14之閘極端點之間。同時，電晶體T13之閘極端點也被連接到一組切換元件T8之一組末端，並且電晶體T14之閘極端點被連接到一組切換元件T9之一組末端。電晶體T12減低該輸出緩衝器電路23輸出之信號失真，並且可以利用串列連接兩組二極體式連接之電晶體而被構成。

在第三實施例中類比緩衝器電路26之操作時序與第4圖中之第一實施例是相同的，但是，在控制信號 $\Phi 2$ 是H位準之資料匯流排電容器充電週期( $t5-t6$ )中，除切換元件T8、T9和T11之外切換元件T15也被形成導通。因此，即使當輸出緩衝器電路23被提供時，輸出電壓VOUT也經由切換元件T15而被饋送回至電容器C1和C2，因此具有消除臨限電壓之輸入電壓VIN被提供至輸出電壓端點VOUT。

因為在第一實施例中之電晶體T7和T10必須直接地將具有數十個pF之電容的資料匯流排電容器Cd充電，在這實施例中之電晶體T7和T10僅須將在輸出緩衝器電路23中小的，0.1pF之輸入電容器充電。因此，閘極-汲極端點電容Cgd可

(請先閱讀背面之注意事項再填寫本頁)

訂

經濟部智慧財產局員工消費合作社印製



## 五、發明說明(20)

利用減低電晶體 T7 和 T10 之尺寸而被減低，並且電容 Cgd 對於被電容器 C1 和 C2 所保持電壓之影響可被減低。

第 11 圖是展示依據第四實施例之一種類比緩衝器電路的電路圖，其可減低功率消耗。除了輸出緩衝器電路 23 之電壓源 VDD2 和接地電位 GND2 不同於另外的電壓源 VDD1 和接地電位 GND1 之外，在第四實施例中之類比緩衝器電路 26 具有如第三實施例第 10 圖中之相同配置。

當電壓源 VDD1=20V 並且 GND1=0V 時，電壓源 VDD2=17V 至 16V，並且 GND2=3V 至 4V。這是因為，當一組 15V 至 5V 之視訊信號 SIN 被取樣並且被輸出時，輸出緩衝器電路 23 可利用在電壓源 VDD2 和 GND2 之間的一組電壓而驅動該輸出 VOUT，即使，因為電晶體 T7 和 T10 之臨限電壓大約是 3V，在電壓源 VDD1 和 GND1 之間驅動電晶體 T7 和 T10 之電壓也不可被減低。

依據第四實施例，當將資料匯流排電容器 Cd 充電時，消耗大多數功率之輸出緩衝器電路 23 的驅動電壓 VDD2 可被減低至用以驅動資料匯流排 30 所需的最小位準，因此被類比緩衝器電路 26 消耗之功率可被減低。

依據該實施例，因為消耗將資料匯流排電容器充電所需之大多數功率的緩衝器電路之驅動電壓可被減低至用以驅動資料匯流排所需的最小電壓，故被類比緩衝器電路消耗之功率可被減低。

對於具有大液晶面板之液晶顯示器裝置，當資料匯流排 30 之數目增加時，其一組資料匯流排 30 所需的取樣時間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(一)

被縮短。第12圖是展示依據第五實施例之一種類比緩衝器電路26的電路圖，其可在短取樣時間週期內滿意地進行取樣。

除了在節點N10和接地GND1之間被提供一組輔助電容器C3之外，第五實施例之第12圖中的類比緩衝器電路26具有如第四實施例第11圖中之相同配置。當控制信號 $\Phi 1$ (H位準)被接收時導通之切換元件T1快速地將輔助電容器C3充電。這對應至快速的主要的取樣。在這實施例中，因為當主要的取樣被完成時輸入電壓VIN被保持在輔助電容器C3中，並且該切換元件T1在一短時間之內不被形成導通，故次要取樣，那是電容器C1和C2被充電而使其電荷對應至依據輸入VIN之一組電壓，可在比較長的時間被依序地達成。應該注意到，次要取樣是利用供應控制信號 $\Phi 3$ /和 $\Phi 3$ 至切換元件T5和T6而被達成。

第13圖是第五實施例中之一種類比緩衝器電路26的時序圖。當第13圖中(7)之控制信號 $\Phi 3$ 被添加於第五實施例時，則在第13圖中之(1)至(6)與第一實施例第4圖中是相同的。控制信號 $\Phi 1$ 被使用於達成充電輔助電容器C3之主要的取樣，並且控制信號 $\Phi 3$ 被使用於達成充電電容器C1和C2之次要取樣。

首先，在週期(t33至t34)中，當第13圖中(4)之控制信號 $\Phi 1$ 在H位準時，視訊信號SIN之主要取樣被達成並且輔助電容器C3被充電。在這實施例中，因為控制信號 $\Phi 3$ 即使在主要的取樣被完成(t34至t35)之後仍被保持在H位準，故充電

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 (>7)

電容器 C1 和 C2 之次要取樣可依序地被進行。結果，即使主要的取樣週期 ( $t_{33}$  至  $t_{34}$ ) 是短的，輸入電壓 VIN 也可被精確地輸出至電容器 C1 和 C2。

如上所述，依據本發明，輸入電壓可被輸出而不受電晶體之臨限電壓的影響，資料匯流排電容器可被快速地充電，並且輸出電晶體之尺寸可被減低。

進一步地，輸出電晶體不需要直接地充電大資料匯流排電容器，並且僅須充電該輸出緩衝器電路之小的輸入電容器。因此，閘極-吸極端點電容  $C_{gd}$  可因減低輸出電晶體之尺寸而被減少，並且電容  $C_{gd}$  對於被電容器保持電荷之影響可被減低。

此外，採用本發明之類比緩衝器電路的一種液晶顯示器裝置可快速地並且精確地將具有大顯示區域之液晶顯示面板上具有大電容之一組資料匯流排電容器充電。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (57)

### 元件標號對照表

- 5a, 5b, 6a, 7a, 7b, 10, 18, 19, 32……切換元件
- T5, T6, T8, T9, T11……切換元件
- 6b, 8a, 8b……源極追隨器
- 9a, 9b……電容器
- T7, T10, T12, T13, T14, T15……電晶體
- 20……輸入端點
- 21……輸出端點
- 22……資料匯流排
- 23……輸出緩衝器電路
- 25……顯示信號線
- 26……類比緩衝器電路
- 30……資料匯流排
- 31……閘匯流排
- 33……液晶胞
- 34……電容器
- 35……資料移位暫存器
- 36……閘移位暫存器
- 40, 41, 42, 43, 44, 45, 46, 60, 61……電流指示箭頭

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

1. 一種類比緩衝器電路，其取樣並且保持一組輸入電壓並且輸出該輸入電壓，其包含：

一組輸入端點，用以接收該輸入電壓；

一組輸出端點，用以輸出一組輸出電壓，

一組第一電晶體，其源極連接到一組第一電源；以及

一組第一電容器，在其一組末端連接到該第一電晶體之閘極，

其中，在一取樣週期時，該輸入端點被連接到該第一電容器之另一組末端並且該第一電晶體之吸極被連接到該第一電容器之該一組末端，以依據該輸入電壓將該第一電容器充電，而使得在該第一電源電壓以及在該輸入電壓和該第一電晶體之一組臨限電壓之間差量所得到電壓之間的差量被儲存在該第一電容器中。

2. 一種類比緩衝器電路，其取樣並且保持一組輸入電壓並且輸出該輸入電壓，其包含：

一組輸入端點，用以接收該輸入電壓；

一組輸出端點，用以輸出一組輸出電壓；

一組第一電晶體，其源極被連接到一組第一電源；以及

一組第一電容器，其一組末端被連接到該第一電晶體之閘極，

其中，在一組取樣週期時，該輸入端點被連接到該第一電容器之另一組末端並且該第一電晶體之吸極被連接到該第一電容器之該一組末端，以依據該輸入電壓將該第一

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

電容器充電，

在一組保持週期時，該第一電容器保持被充電電壓，  
並且

在一組輸出週期時，該輸出端點，利用回饋該輸出端點至該第一電容器之該一組末端，經由該第一電晶體而被充電或被放電。

3. 依據申請專利範圍第2項之類比緩衝器電路，進一步地包含：

一組第二電晶體，其源極被連接至一組第二電源；以及

一組第二電容器，其一組末端被連接至該第二電晶體之閘極，

其中，在一組取樣週期時，該輸入端點被連接至該第二電容器之另一組末端並且該第二電晶體之汲極被連接至該第二電容器之該一組末端，以依據該輸入電壓將該第二電容器充電，

在一組保持週期時，該第二電容器保持一組充電電壓，並且

在一組輸出週期時，該輸出端點，利用回饋該輸出端點至該第二電容器之該一組末端，經由該第二電晶體而被充電或被放電。

4. 依據申請專利範圍第2項之類比緩衝器電路，進一步地包含在該第一電晶體和該輸出端點之間的一組緩衝器電路，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

其中在該輸出端點之充電或放電是經由該緩衝器電路而達成。

5. 依據申請專利範圍第3項之類比緩衝器電路，進一步地包含在該第一和該第二電晶體以及該輸出端點之間的一組緩衝器電路，其中在該輸出端點之充電或放電是經由該緩衝器電路而達成。

6. 依據申請專利範圍第4項之類比緩衝器電路，其中該緩衝器電路是被一組較低於或較高於該第一電源電壓之第三電源電壓所驅動。

7. 依據申請專利範圍第5項之類比緩衝器電路，其中該緩衝器電路是被第三和第四組電源電壓所驅動，其差量是低於在該第一和該第二電源電壓之間差量。

8. 依據申請專利範圍第1項之類比緩衝器電路，進一步地包含：

連接到該第一及/或該第二電容器之一組末端的一組輔助電容器，

其中，在該取樣週期時，該輔助電容器被該輸入電壓充電而保持該輸入電壓。

9. 依據申請專利範圍第3項之類比緩衝器電路，進一步地包含：

連接到該第一及/或該第二電容器之一組末端的一組輔助電容器，

其中，在該取樣週期時，該輔助電容器被該輸入電壓充電而保持該輸入電壓。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

10. 一種液晶顯示器裝置，其中資料匯流排和閘匯流排以矩陣方式被配置在一組玻璃基片上面，並且採用薄膜電晶體之一組液晶驅動電路被形成於該玻璃基片上面；

其中依據申請專利範圍1之該類比緩衝器電路被提供於各該等資料匯流排；並且該類比緩衝器電路接收一組視訊信號作為該輸入電壓，並且輸出該輸出電壓至一組對應的資料匯流排。

11. 依據申請專利範圍第10項之液晶顯示器裝置，其中該類比緩衝器電路包含一組第一類比緩衝器電路，用以在一組第一水平掃瞄週期時將該視訊信號取樣，以及一組第二類比緩衝器電路，在該第一水平掃瞄週期下面的一組第二水平掃瞄週期時，用以將該第一類比緩衝器電路輸出之一組信號取樣並且輸出結果信號至一組對應的資料匯流排。

(請先閱讀背面之注意事項再填寫本頁)

裝

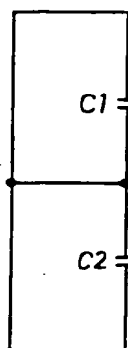
訂

線

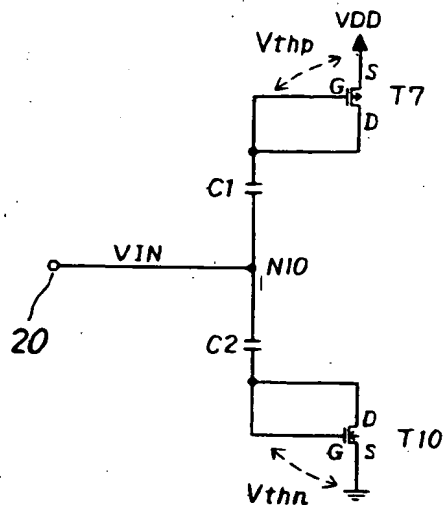


881-0527

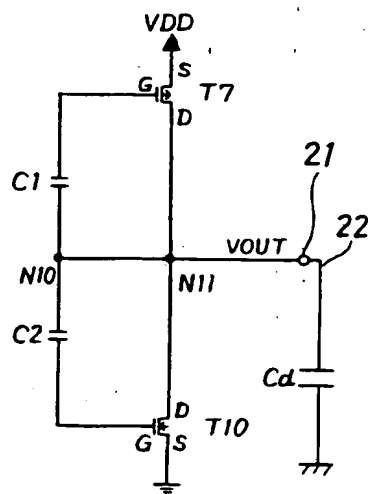
第 1A 圖



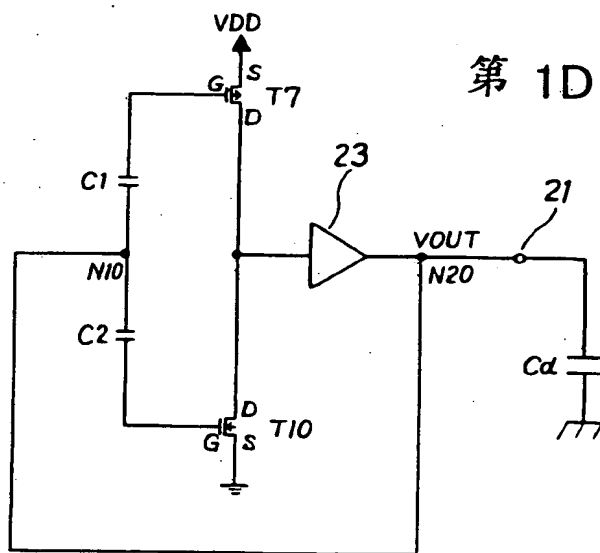
第 1B 圖



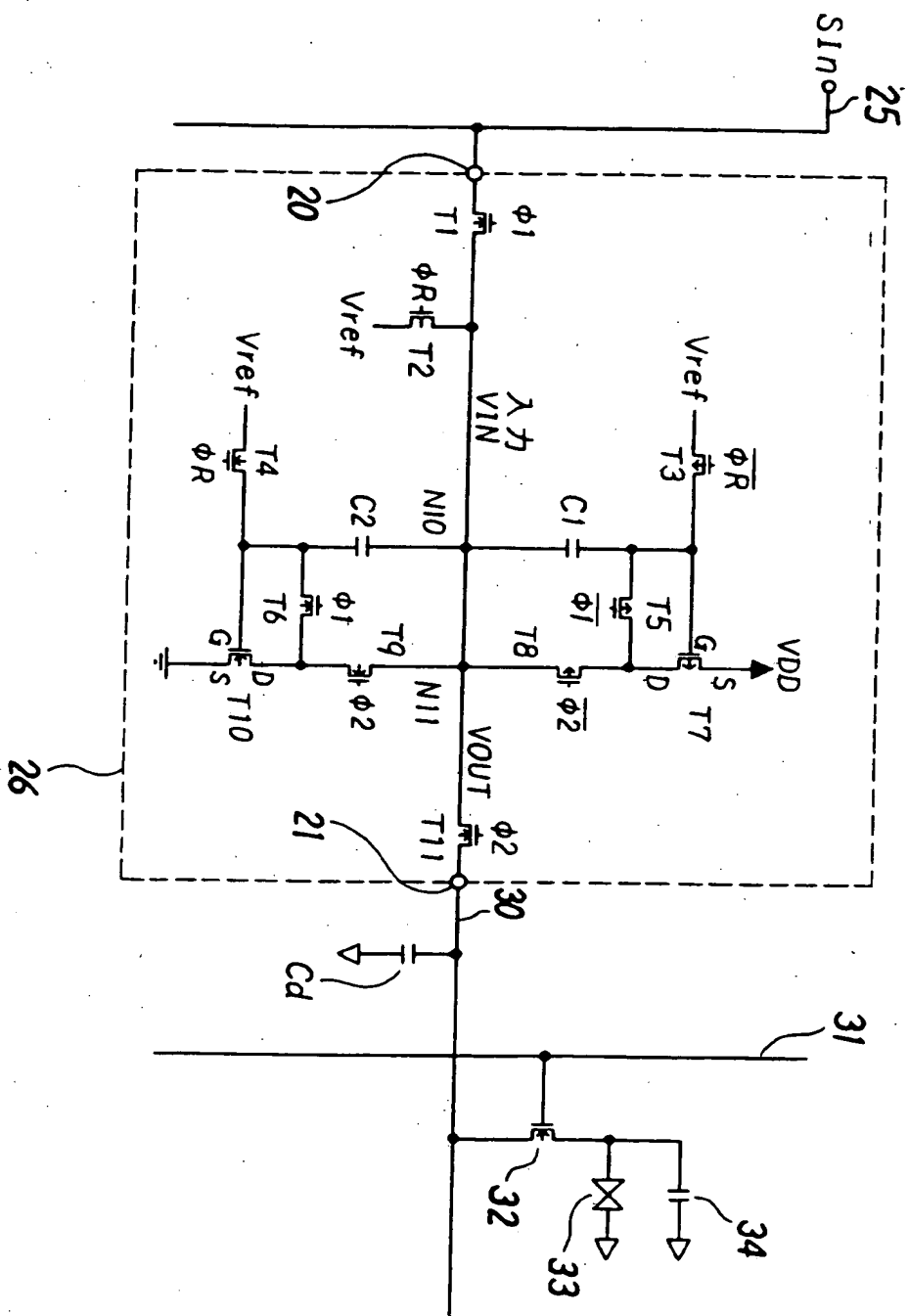
第 1C 圖



第 1D 圖

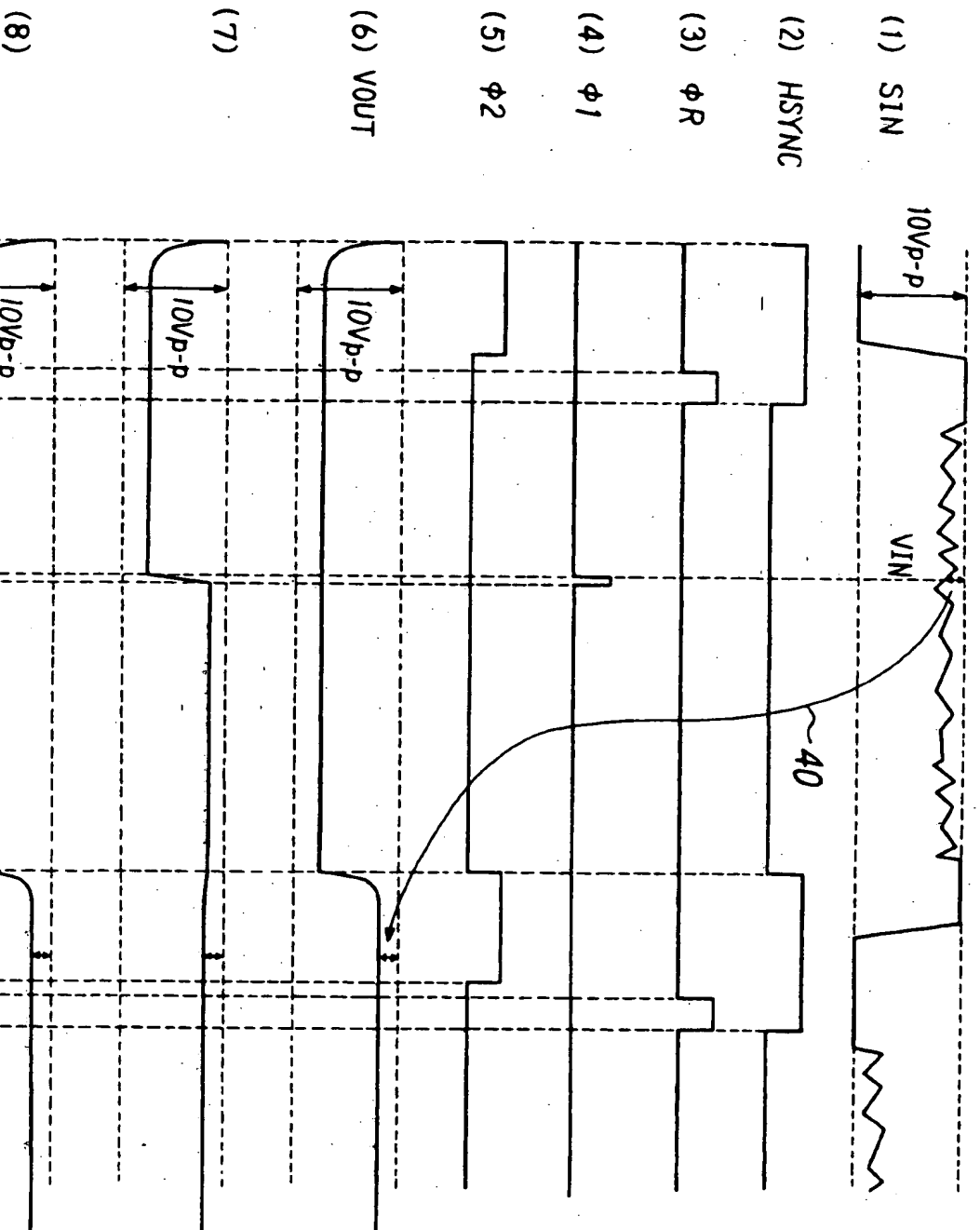


第 2 圖

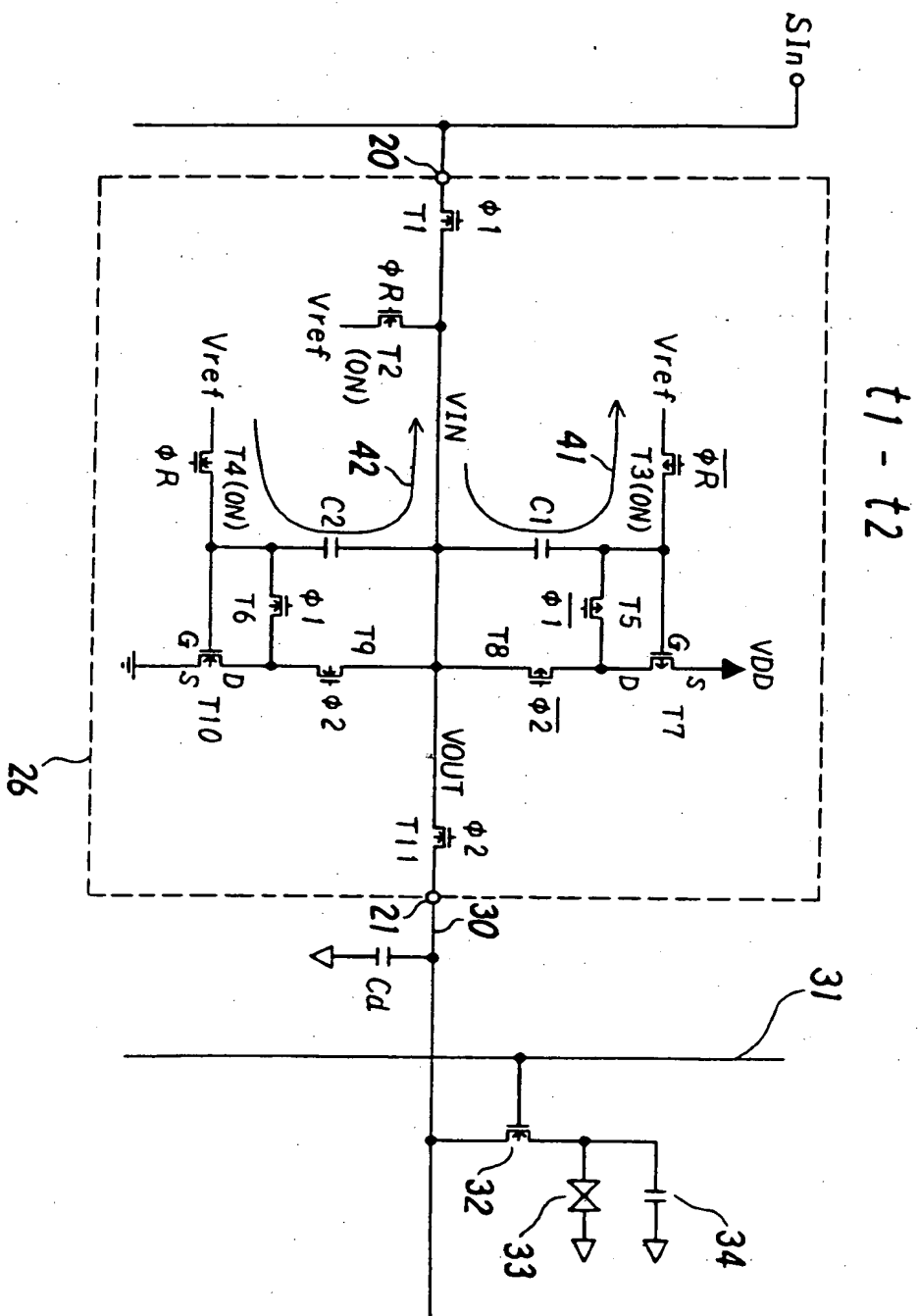




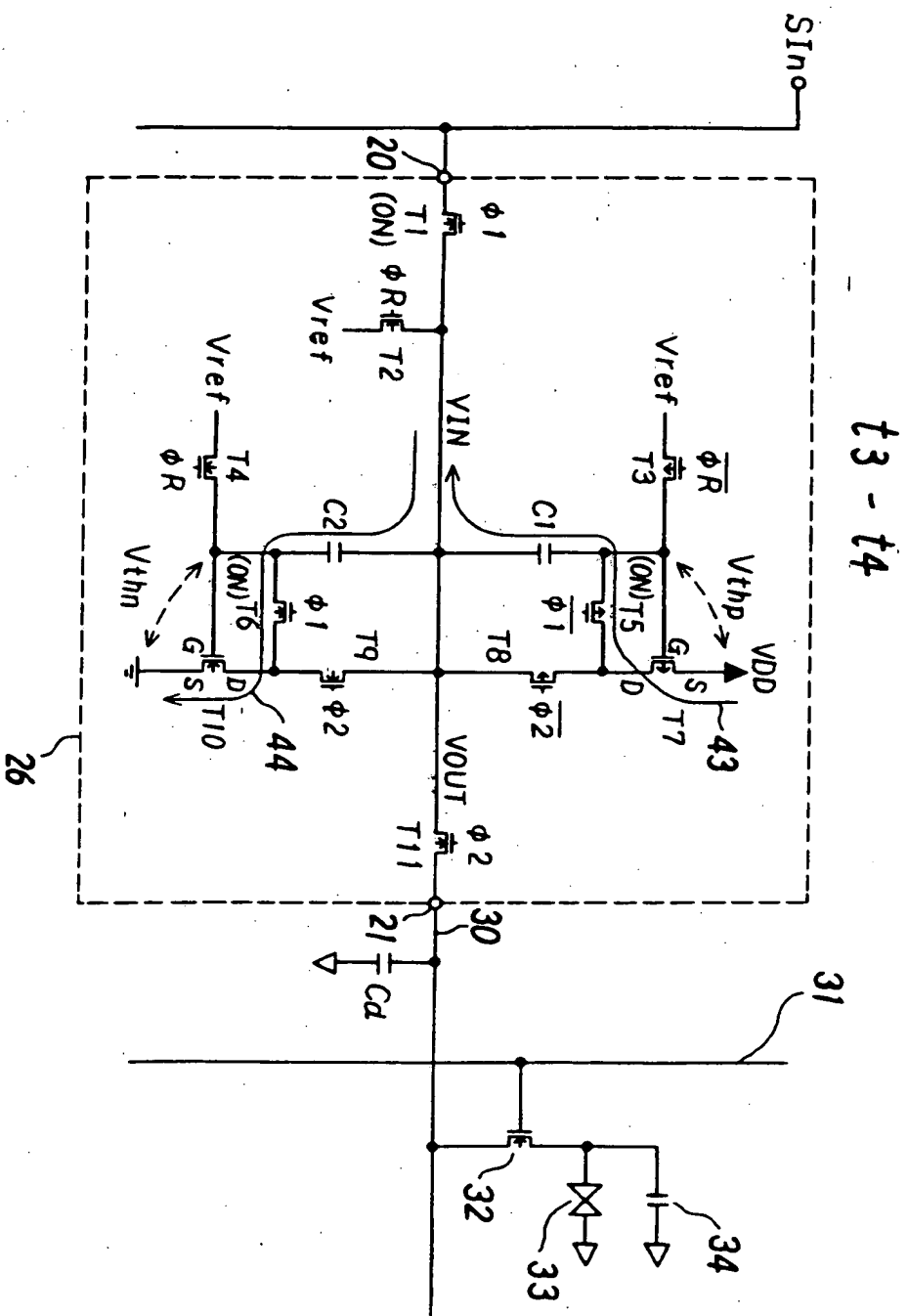
第 4 圖



第五卷



第 6 圖

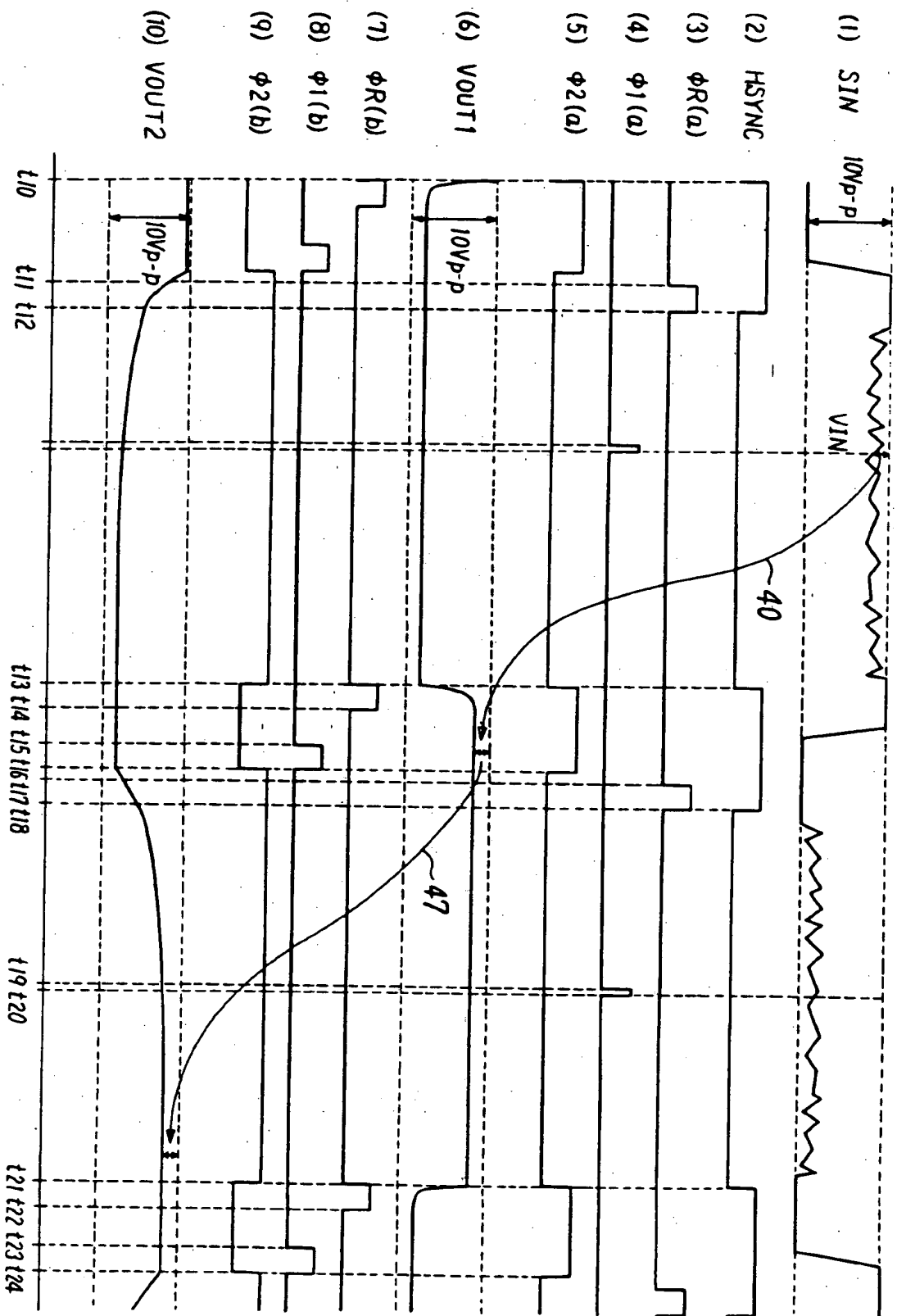




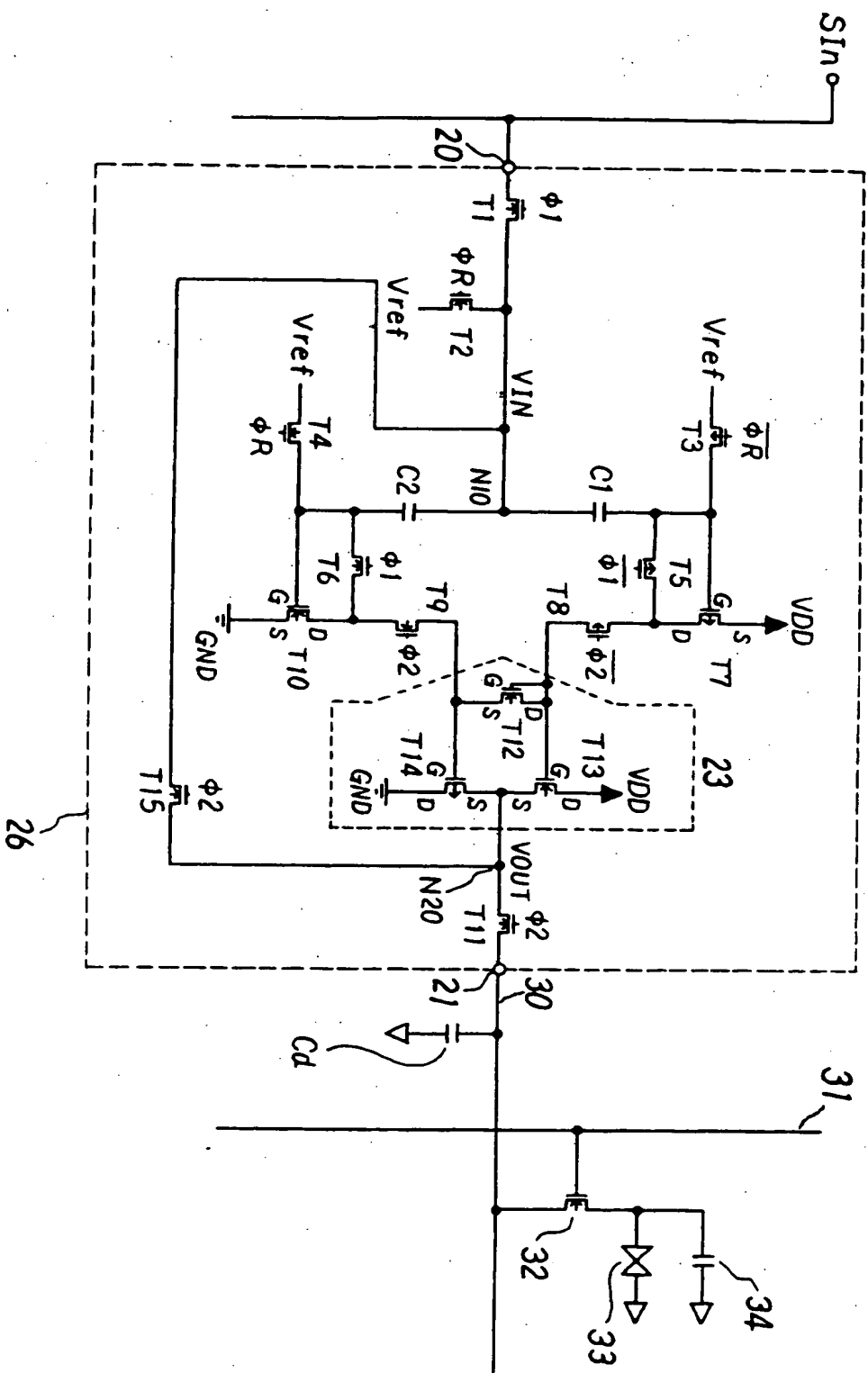




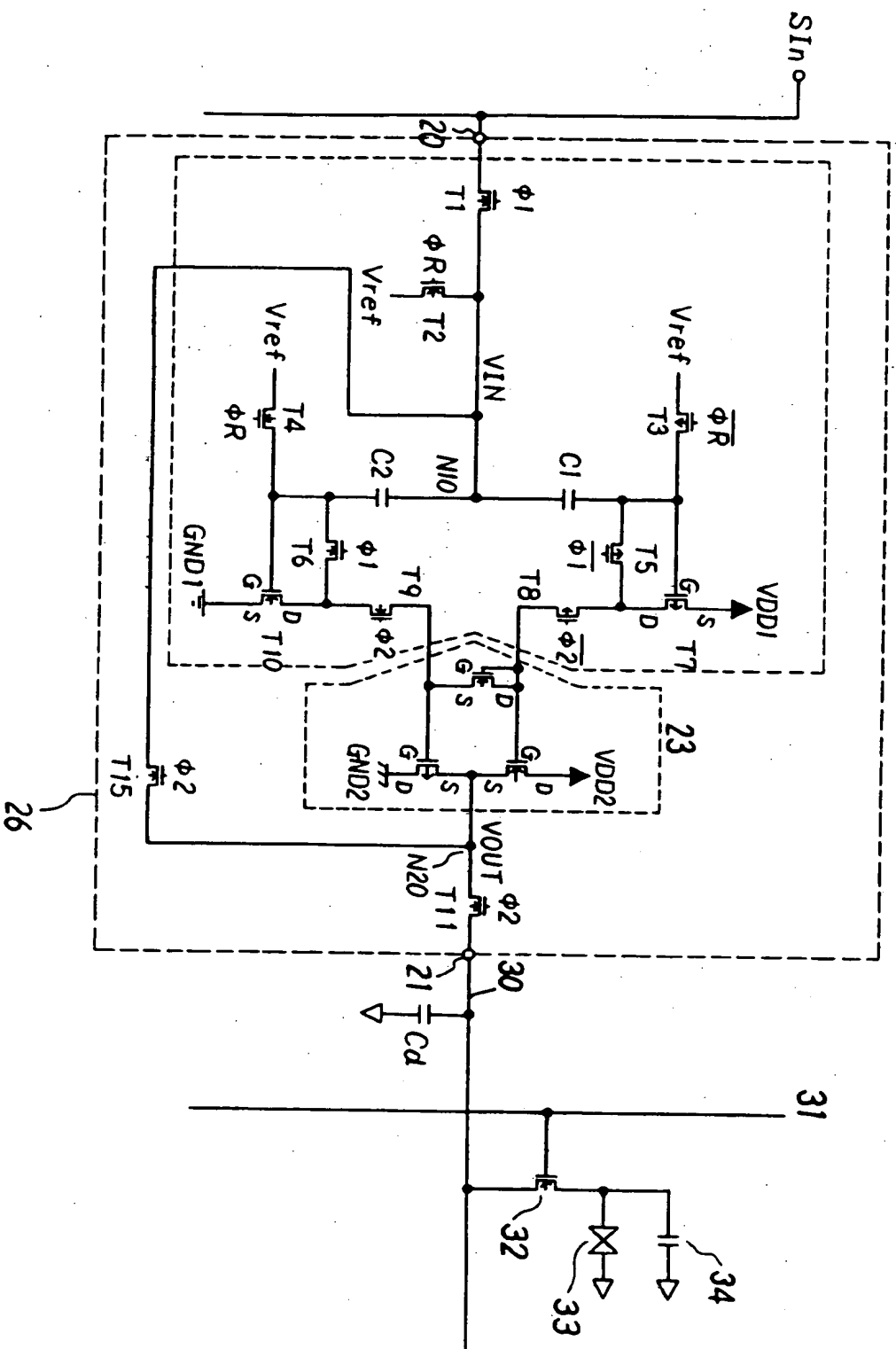
第 9 圖



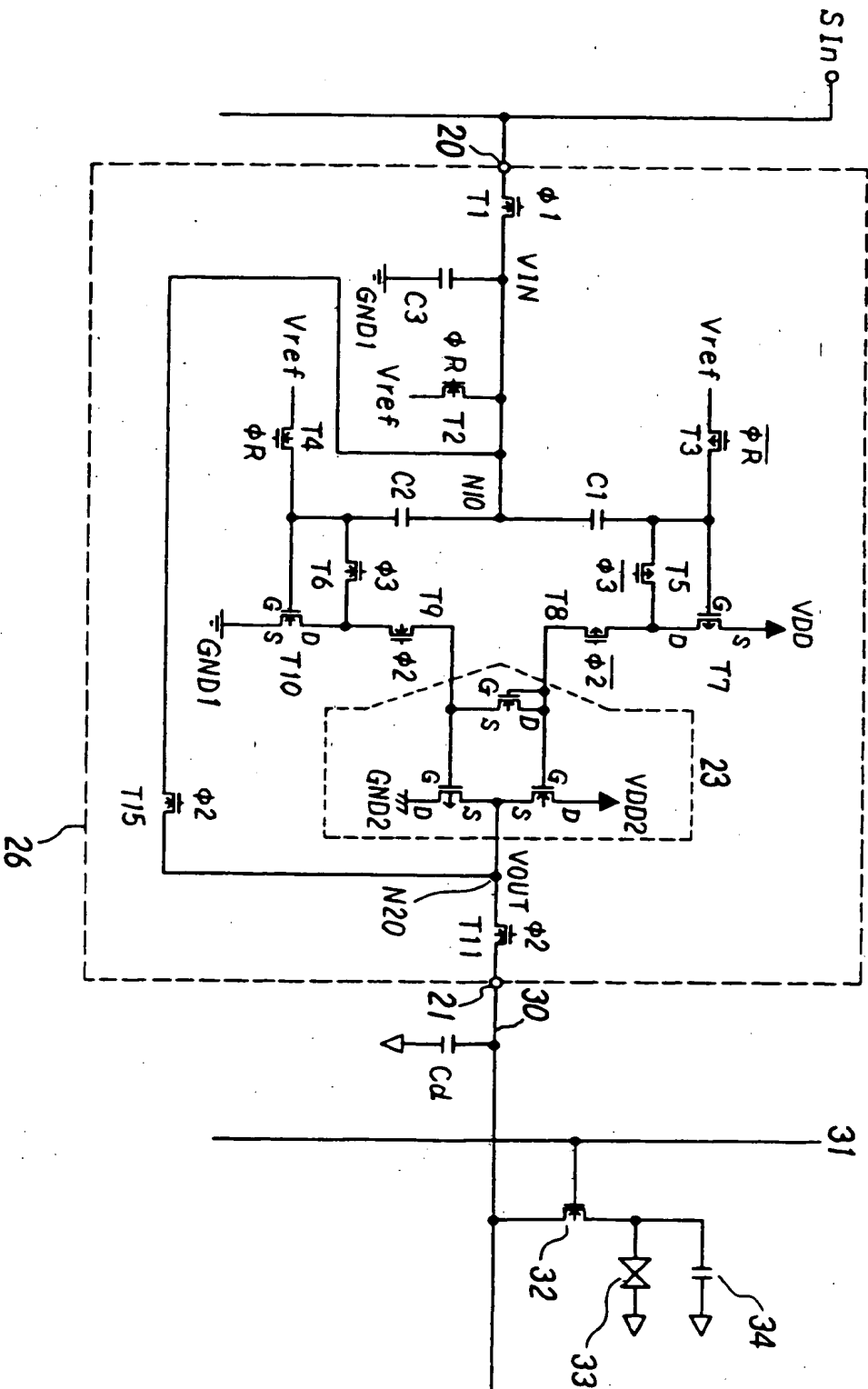
第 10 圖



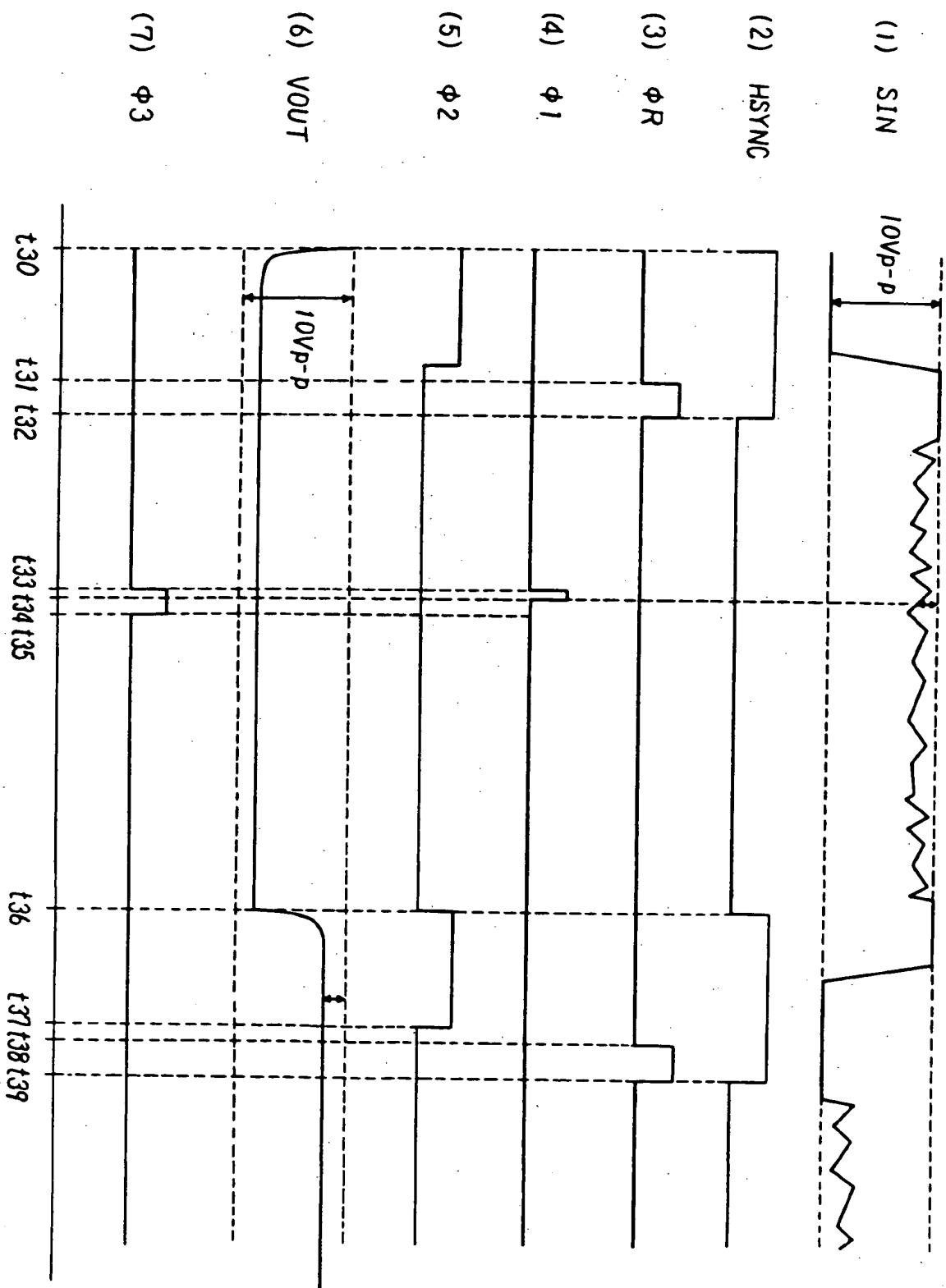
第二圖



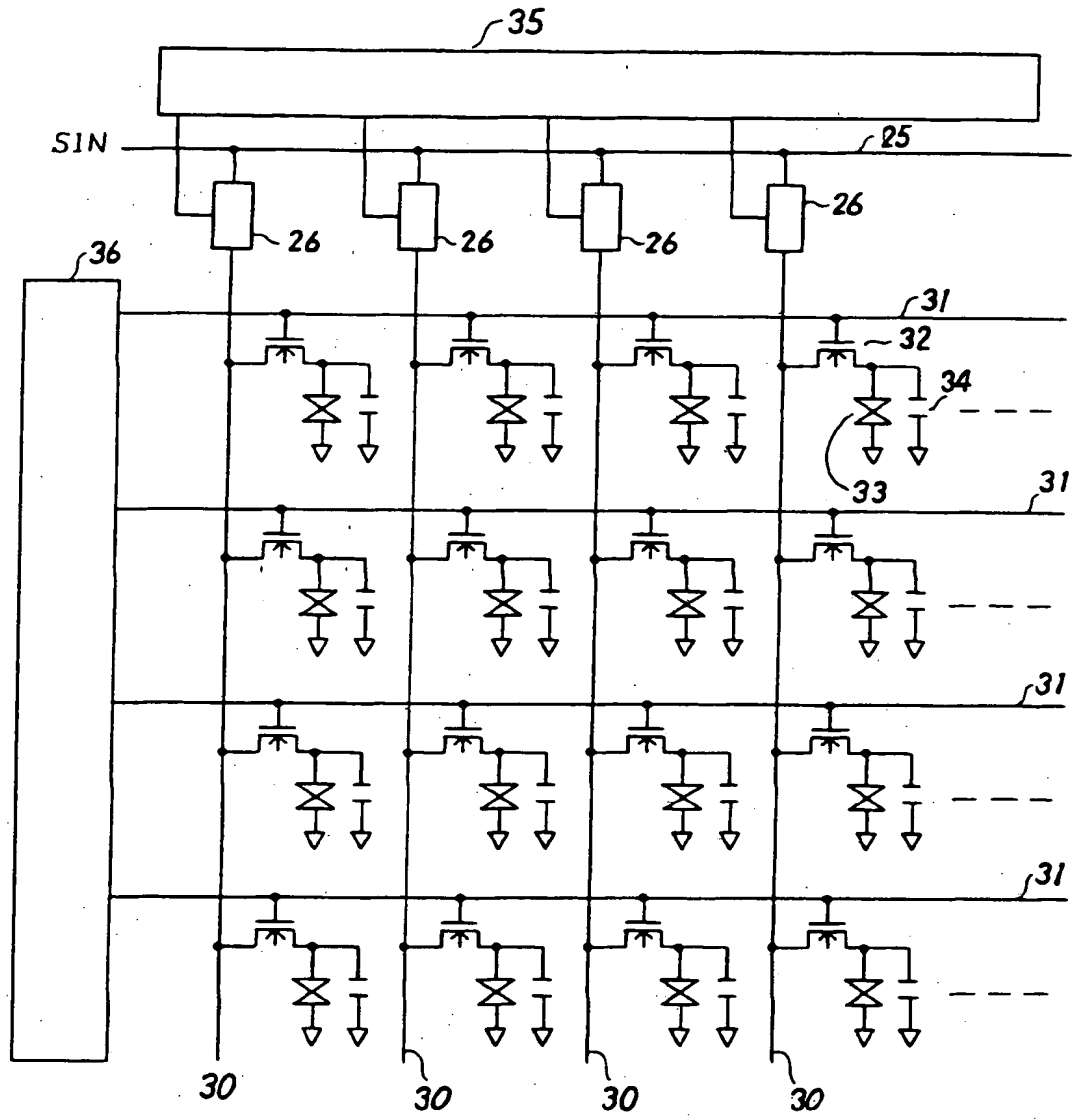
第12圖



第 13 圖

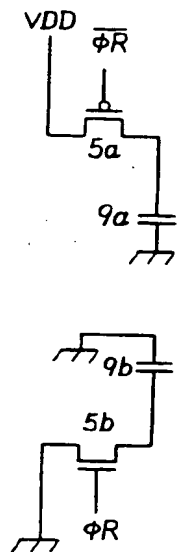


第 14 圖

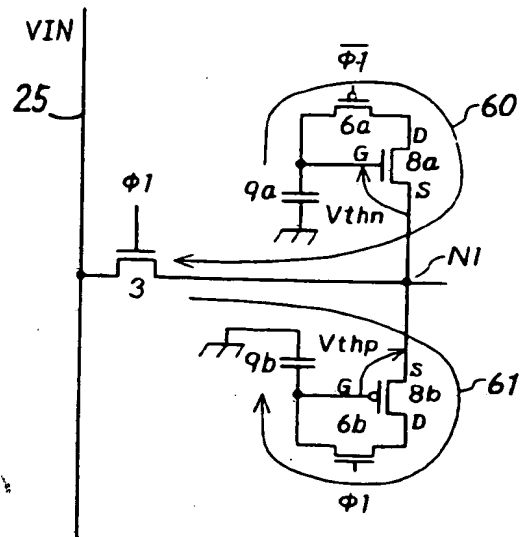




第16A圖



第16B圖



第16C圖

